

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-63499

(43) 公開日 平成8年(1996)3月8日

(51) Int.Cl.<sup>8</sup>

G 0 6 F 17/50

識別記号

庁内整理番号

F I

技術表示箇所

9191-5H

G 0 6 F 15/ 60

6 6 8 A

審査請求 有 請求項の数 4 F D (全 7 頁)

(21) 出願番号 特願平6-216714

(22) 出願日 平成6年(1994)8月19日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 木村 晃子

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 加藤 朝道

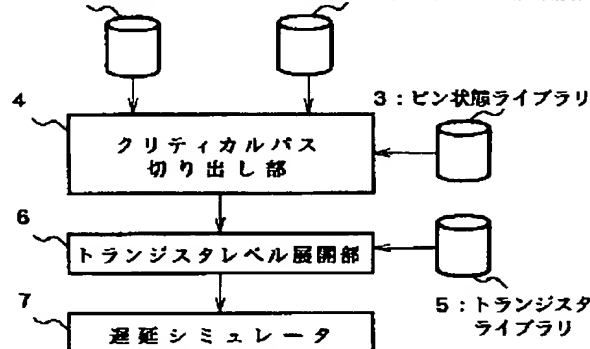
(54) 【発明の名称】 遅延シミュレータ及び遅延値算出方法

(57) 【要約】

【目的】 ゲート内遅延が最悪値となる入力状態を設定することによりクリティカルパスの最悪値を高精度に算出することを可能とする、遅延シミュレータ及び遅延値算出方法の提供。

【構成】 ゲートネットリストファイル(1)と、クリティカルパス点列情報ファイル(2)と、ゲートの論理動作とパス上の入力・出力ピン間の遅延値を含むピン状態ライブラリ(3)と、クリティカルパス切り出しクリティカルパス上の素子でパス以外のピンに遅延が最大となる入力状態に設定するクリティカルパス切り出し部(4)と、クリティカルパスをゲートレベルからトランジスタレベルに展開するトランジスタレベル展開部(6)と、トランジスタレベルの遅延シミュレータ(7)から成る。

1:ゲートレベルネットリスト 2:クリティカルパス点列情報



Best Available Copy

## 【特許請求の範囲】

【請求項1】ゲートレベルのクリティカルパスについて、該クリティカルパス上の素子で該パスに属さないピンを該素子の遅延が最悪値となるような入力状態に設定し、前記クリティカルパスをトランジスタレベルに展開して遅延解析を行なうことを特徴とする遅延シミュレータ。

【請求項2】回路のゲートレベルの接続情報を含むゲートレベルネットリスト・ファイルと、クリティカルパスの点列情報を含むファイルと、ゲートの論理動作とパス上の入力ピンと出力ピン間の遅延情報との対応を含むピン状態ライブラリと、クリティカルパスの切り出しを行うクリティカルパス切り出し部と、ゲートのトランジスタ構成を示すライブラリを入力し、前記クリティカルパス切り出し部で切り出したクリティカルパスをトランジスタレベルに展開するトランジスタレベル展開部と、前記トランジスタレベル展開部で展開されたトランジスタレベルにて遅延解析を行なう遅延解析部と、を備え、前記クリティカルパス切り出し部が、前記切り出したクリティカルパス上の素子で該パスに属さないピンに対して前記ピン状態ライブラリを参照して該素子の遅延が最悪値となる入力状態を設定することを特徴とする遅延シミュレータ。

【請求項3】前記ピン状態ライブラリが、前記クリティカルパス上の素子について前記クリティカルパスを論理的に活性化させる入力ピンのパターンと該パターンに対応する前記素子の遅延時間とを含むことを特徴とする請求項2記載の遅延シミュレータ。

【請求項4】クリティカルパスの遅延量を計算する遅延値算出方法において、

- (A) ゲートレベルネットリストから点列情報に基づきネットリストを切り出す工程、
- (B) 該切り出したクリティカルパス上の素子でパスに属さないピンに対して該素子の遅延が最悪値となる入力状態を設定する工程、
- (C) 前記切り出したクリティカルパスをゲートレベルからトランジスタレベルに展開する工程、及び、
- (D) トランジスタレベルの遅延シミュレータにてクリティカルパスの遅延を算出する工程、を含むことを特徴とする遅延値算出方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、回路の遅延解析を行なう遅延シミュレータ及び遅延計算方法に関し、特に入力状態を考慮したクリティカルパスを切り出す遅延シミュレータ及び遅延計算方法に関する。

## 【0002】

【従来の技術】従来、フルカスタムLSI設計における遅延シミュレーションの多くは、設計者が経験と勘をたよりに人手でトランジスタレベルのクリティカルパス・ネットリストを作成し、検証する手法が取られていた。

【0003】近時、LSIの大規模化に伴い、遅延シミュレーションとして、取扱いデータ規模と処理速度の観点からゲートレベルでのスタティック検証方法が用いられている。

【0004】しかし、要求性能が一段と厳しくなりつつあるLSI設計、特にフルカスタムLSI設計においては、トランジスタレベルにてダイナミックな遅延シミュレーションを行なうクリティカルパスの検証方法が精度の面から不可欠となってきた。

【0005】このような背景のもと、図4に示すように、大規模チップに対しTATを重視し、回路のゲートレベルの接続情報を記述したゲートレベルネットリスト(25)を入力としてスタティック遅延シミュレーション(26)を行い、クリティカルパス情報(27)を特定した後に、ゲートレベルネットリストからクリティカルパスのみを切り出して、切り出したクリティカルパスをトランジスタレベルに展開し、精度を重視したダイナミック遅延シミュレーション(28)を行う方式が提案されている。

## 【0006】

【発明が解決しようとする課題】図4に示した従来の遅延シミュレーションの問題点は、クリティカルパスの切り口の処理の仕方であり、クリティカルパス上の素子においてパス以外のピンの入力状態の設定の仕方如何が遅延精度に大きな影響を与えることが知られている。

【0007】ゲートレベルの接続情報をトランジスタレベルに展開しトランジスタレベルの回路シミュレーションを行なってパスの遅延値を求める従来例として、例えば特開平3-33980号公報には、パスの各ゲートを励起させるために各ゲートの入力信号を自動発生させて回路シミュレーションを行ない、シミュレーション結果からパスの遅延値を自動的に求める、パスの遅延値自動算出方法が提案されている。すなわち、同公報には、パス上の各ゲートをトランジスタ回路記述に変換し、配線は配線抵抗と配線容量をトランジスタ回路記述の中に挿入して、パスの先頭から各ゲートを活性化させるための入力信号を自動発生させて回路シミュレーションを行なうことによりパスの遅延値を求める方法が開示されている。

【0008】しかしながら、前記特開平3-33980号公報に開示されたパスの遅延値自動算出方法は、テストパターン自動発生プログラムから入力状態としてパスを活性化する値は抽出できるものの、その入力状態の値によりパスの遅延量が最大となることに関しては、全く考慮されていない。この点を以下に詳説する。

【0009】図5を参照して、一つのゲートに着目した場合の入力状態による遅延誤差について説明する。図5は、2入力AND-NOR回路(29)のゲートレベルの構成を示

すものであり、入力ピンI01(30)、I02(31)、I03(32)、出力ピンO01(33)をもつ。

【0010】図6に、図5の2入力AND-NOR回路(29)のトランジスタレベルの回路図を、図7に真理値表を示す。図6において、M1～M3はpチャネルMOSトランジスタ、M4～M6はnチャネルMOSトランジスタから構成されている。

【0011】図7において、各列は図5又は図6に示す各端子(ピン)名に対応し、「F」はピンにおける信号波形がHigh(高)レベルからLow(低)レベルへ立ち下がる遷移状態を表し、「R」はピンにおける信号波形がLowレベルからHighレベルへ立ち上がる遷移状態を表し、「1」はピンがHighレベル状態、「0」はピンがLowレベル状態にあることを示している。

【0012】図7を参照して、例えば第1行目の、入力ピンI01がF、入力ピンI02、I03が1、0の場合、出力ピンO01がRであるとは、入力ピンI02、I03が夫々Highレベル、Lowレベルの状態において、入力ピンI01の入力信号がHighレベルからLowレベルに立ち下がる、2入力AND-NOR回路(29)の出力ピンO01の出力信号はLowレベルからHighレベルに立ち上がる。

【0013】図7を参照して、入力ピンI01における入力信号の立ち下がり(34)に対し、出力ピンO01の出力信号が立ち上がる状態(37)の遅延を考える。

【0014】図7に示すように、この時、入力ピンI02、I03が、“10”、“01”、“00”のいずれの状態(符号36で指示する破線で囲んだ3つの状態)でも論理的にはパスが活性化される。

【0015】この場合、前記特開平3-33980号公報に記載の遅延値算出方法によれば、3つの状態は等価に扱われるため、入力ピンI02=1、I03=0が選ばれ、図8に示す状態、すなわち入力ピンI02が電源に接続され、入力ピンI03が接地されて遅延解析が行なわれる可能性がある。

【0016】しかしながら、実際には、図5の2入力AND-NOR回路(29)において、入力ピンI02、I03が“10”に設定された場合と、“00”に設定された場合とでは、入力ピンI01と出力ピンO01間の遅延誤差は、経路の差から最大15%程度になることが知られている。

【0017】従って、図5の2入力AND-NOR回路(29)に対して、ゲート内遅延のワースト値(最悪値)を得るためには、図9に示すように、入力ピンI02、I03を接地レベルとするようにしたピン状態に設定して遅延を算出することが必要とされる。

【0018】このような遅延誤差は、等価端子をもつ単純ゲート以外では必ず生じるものであり、特にピン数の多い規模の大きなゲートになるに従い、顕著になる傾向がある。

【0019】さらに、クリティカルパス全体では、各ゲートが有する遅延誤差が累積されることになるため、前

記従来の遅延シミュレータ又は前記特開平3-33980号公報記載の遅延値自動算出方法により、クリティカルパスの正確なワースト値を求めることは極めて困難である。

【0020】従って、本発明は、前記問題点を解消し、ゲート内遅延が最悪状態(ワーストケース)となる値を入力状態として設定することによりクリティカルパスのワースト値を高精度に算出することを可能とする、遅延シミュレータ及び遅延値算出方法を提供することを目的とする。

#### 10 【0021】

【課題を解決するための手段】前記目的を達成するため本発明は、ゲートレベルのクリティカルパスについて、該クリティカルパス上の素子で該パスに属さないピンを該素子の遅延が最悪値となるような入力状態に設定し、前記クリティカルパスをトランジスタレベルに展開して遅延解析を行なうことを特徴とする遅延シミュレータを提供する。

【0022】また、本発明の遅延シミュレータは、好ましくは、回路のゲートレベルの接続情報を含むゲートレベルネットリスト・ファイルと、クリティカルパスの点列情報を含むファイルと、ゲートの論理動作とパス上の入力ピンと出力ピン間の遅延情報との対応を含むピン状態ライブラリと、クリティカルパスの切り出しを行うクリティカルパス切り出し部と、ゲートのトランジスタ構成を示すライブラリを入力し、前記クリティカルパス切り出し部で切り出したクリティカルパスをトランジスタレベルに展開するトランジスタレベル展開部と、前記トランジスタレベル展開部で展開されたトランジスタレベルにて遅延解析を行なう遅延解析部と、を備え、前記クリティカルパス切り出し部が、前記切り出したクリティカルパス上の素子で該パスに属さないピンに対して前記ピン状態ライブラリを参照して該素子の遅延が最悪値となる入力状態を設定することを特徴とするものである。

【0023】そして、本発明においては、前記ピン状態ライブラリは、好ましくは、クリティカルパス上の素子について前記クリティカルパスを論理的に活性化させる入力ピンのパターンと該パターンに対応する前記素子の遅延時間とを含んでいる。

【0024】さらに、本発明は、クリティカルパスの遅延量を計算する遅延値算出方法において、(A)ゲートレベルネットリストから点列情報に基づきネットリストを切り出す工程、(B)該切り出したクリティカルパス上の素子でパスに属さないピンに対して該素子の遅延が最悪値となる入力状態を設定する工程、(C)前記切り出したクリティカルパスをゲートレベルからトランジスタレベルに展開する工程、及び、(D)トランジスタレベルの遅延シミュレータにてクリティカルパスの遅延を算出する工程、を含むことを特徴とする遅延値算出方法を提供する。

#### 50 【0025】

【作用】本発明の原理・作用を以下に説明する。

【0026】上記構成のもと、本発明は、論理判定による「クリティカルパスが活性化する値」にのみ着目するのではなく、クリティカルパス上のゲート内遅延がワーストケースとなる値を入力状態として設定するものである。

【0027】本発明は、好ましくは、各ゲートの遅延ライブラリ作成時の入力波形ファイルと、これに実際の遅延値を追加したファイルを、ピン状態ライブラリとして用いるものである。

【0028】遅延ライブラリは、通常、トランジスタレベルのダイナミック遅延シミュレータにより作成されるが、入力となる波形ファイルには、その遅延測定対象の入力ピン、出力ピン各々の遷移情報と、その入力ピンと出力ピン間の遅延が、最小／定常／最大となるための、遅延測定対象ピン以外のピンの状態値（1／0）の情報が含まれている。

【0029】本発明では、ピン状態ライブラリを参照して、遅延が最大値となるピン状態値を入力状態として設定することにより、遅延の最悪値を高精度に算出する。なお、一般に、遅延ライブラリが更新されるタイミングは新規プロセス開発毎であるため、入力波形ファイルは一度作成されれば長期間に亘って利用可能とされる。

【0030】

【実施例】図面を参照して、本発明の実施例を以下に説明する。

【0031】

【実施例1】図1は本発明を一実施例の構成を示す図である。

【0032】図1を参照して、本実施例は、切り出し対象となるゲートレベルネットリスト・ファイル(1)と、クリティカルパス点列情報ファイル(2)と、クリティカルパス上の素子でパス以外のピンに遅延がワーストとなる入力状態を設定するため情報を含むピン状態ライブラリ(3)と、これらのファイル(2,3)及びピン状態ライブラリ(3)から所定の情報を入力してクリティカルパスの切り出しを行うクリティカルパス切り出し部(4)と、各ゲートのトランジスタ構成を示すライブラリ(5)を入力として、切り出したクリティカルパスをトランジスタレベルに展開するトランジスタレベル展開部(6)と、トランジスタレベルの遅延シミュレータ(7)から構成される。

【0033】図2は、ピン状態ライブラリ(3)のフォーマットの一例を示すものであり、図5に示した2入力AND-NOR回路のピン状態を示している。なお、前記の如く、ピン状態ライブラリ(3)として、ゲートの遅延ライブラリ作成時の入力波形ファイルと、これに実際の遅延値を追加したファイルが用いられる。

【0034】図2を参照して、ピン状態ライブラリ(3)には、入力ピンI01の信号波形の立ち下がりによる出力ピンO01の信号波形の立ち上がりの遷移情報(8)と、そ

の時の対象ピン以外の入力ピンI02(9)、I03(10)の状態値（1又は0）と、入力ピンI02、I03の各々の状態における、入力ピンI01から出力ピンO01への遅延値の情報(11)が含まれている。

【0035】なお、図2のピン状態ライブラリ(3)の入力ピンI02、I03のパターンの組合せは、図7の破線36で示す状態に対応しており、いずれも2入力AND-NOR回路を論理的に活性化するものである。

【0036】図2に示すように、入力ピンI01の立ち下がりに対する出力ピンO01の立ち上がりの遷移状態における遅延値は、入力ピンI02=0、I03=0の場合にワーストケース(12)とされる。

【0037】次に、図3を参照して、クリティカルパスの遅延量を算出する本実施例の処理フローを説明する。図3において、2入力AND-NOR回路(16)の入力ピンI01の立ち下がりに対する出力ピンO01の立ち上がりの遅延値と、パス以外の入力ピンI02、I03の状態の関係は、図2に示すピン状態ライブラリ(3)の内容に従うものとする。

【0038】まず、図3(A)に示すように、切り出し対象となるゲートレベルネットリスト(13)から、クリティカルパス点列情報(2)により得られた始点(14)と終点(15)を指定することによりネットリストを切り出す。

【0039】そして、クリティカルパス(20)上の素子である2入力AND-NOR回路(16)においてパス以外のピンに、ピン状態ライブラリ(3)より遅延がワースト値となる入力状態を設定する。

【0040】この場合、図2のピン状態ライブラリ(3)より遅延値2.0のワーストケース(12)が選択され、クリティカルパス切り出し部(4)は、図3(B)に示すように、パス以外の入力ピンI02とI03とを共にグラウンド（接地）21、22に接続して出力する。

【0041】トランジスタレベル展開部(6)は、クリティカルパス切り出し部(4)により切り出されたクリティカルパスをゲートレベルからトランジスタレベルに展開し、トランジスタレベル遅延シミュレータ(7)で検証する。

【0042】すなわち、2入力AND-NOR回路(16)については、例えば図6に示すようなトランジスタレベルの回路構成に展開され、入力ピンI02、I03は接地レベルに固定され、nチャネルMOSトランジスタM5、M4、pチャネルMOSトランジスタM2、M1のゲート電極が接地レベルとされる。そして、入力ピンI01の入力信号のHighレベルからLowレベルへの立ち下がりに対する出力ピンO01の出力信号の立ち上がりの遅延時間がトランジスタレベルでシミュレーションされる。

【0043】以上、本実施例では、ゲートレベルのネットリストからクリティカルパスを切り出し、トランジスタレベルにて遅延シミュレーションを行う際に、クリティカルパス上の素子でパス以外のピンを、単にクリティ

カルパスを活性化させるだけでなく、遅延が最悪値となるような入力状態に設定することにより、遅延計算精度を向上している。

【0044】遅延計算精度は、回路構成及びトランジスタ構成に大きく依存するため、回路全般に対する定量的効果を示すことは困難であるが、本実施例によれば、入力状態を考慮しない場合と比較して、少なくとも10%程度の精度向上が予測される。

【0045】

【発明の効果】以上説明したように本発明の遅延シミュレータによれば、ゲートレベルのネットリストからクリティカルパスを切り出しトランジスタレベルにてより詳細なワーストケースの遅延シミュレーションを行う場合に、クリティカルパス上の素子で該パス以外のピンを、クリティカルパスを活性化させると共に、該素子の遅延が最悪値となるような入力状態に設定するように構成されたことにより、遅延計算精度を向上している。

【0046】そして、遅延計算精度は通常、回路構成／トランジスタ構成に大きく依存するため、定量的効果を一意的に示すことは難しいが、本発明によれば、入力状態を考慮しない場合と比べ、少なくとも約10%以上の精度向上が期待できる。

【0047】また、本発明の遅延値算出方法によれば、クリティカルパス上の素子でパス以外のピンにクリティカルパスを活性化するだけでなく、該素子の遅延が最悪値となるような入力状態を設定することにより、クリティカルパスの遅延値を高精度に算出することができる。

【0048】本発明においては、ピン状態ライブラリとして、ゲートの遅延ライブラリ作成時の入力波形ファイルと、これに実際の遅延値を追加したファイルが用いられ、通常、遅延ライブラリは、新規プロセス開発毎に更新されるものであるため、入力波形ファイルは一度作成されれば長期間に亘って利用可能とされる。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示す図である。

【図2】本発明の一実施例におけるピン状態ライブラリの一例を示す図である。

【図3】クリティカルパスの遅延量を算出する処理フローを説明するための図である。

【図4】従来の遅延シミュレーションの概念を示す図である。

【図5】入力状態による遅延誤差を説明する2入力AND-

NOR回路の図である。

【図6】2入力AND-NOR回路(図5)のトランジスタ構成図である。

【図7】2入力AND-NOR回路(図5)の真理値表である。

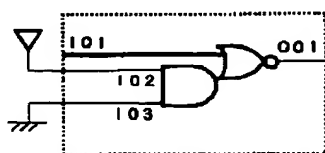
【図8】従来のクリティカルパス切り出し例を示す図である。

【図9】入力ピンI01と出力ピンO01間の遅延が最大となるピン状態の設定を示す図である。

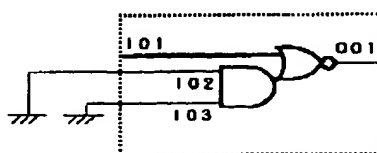
# 10 【符号の説明】

- 1 ゲートレベルネットリスト
- 2 クリティカルパス点列情報
- 3 ピン状態ライブラリ
- 4 クリティカルパス切り出し部
- 5 トランジスタライブラリ
- 6 トランジスタレベル展開部
- 7 遅延シミュレータ
- 8 遅延情報
- 9 入力ピンI02状態値
- 10 入力ピンI03状態値
- 11 遅延値
- 12 ワーストケース
- 13 ネットリスト
- 14 始点
- 15 終点
- 16 2入力AND-NOR回路(クリティカルパス上の素子)
- 17 入力ピンI02
- 18 入力ピンI03
- 20 クリティカルパス
- 21、22 グランド
- 25 ゲートレベルネットリスト
- 26 スタティック遅延シミュレーション
- 27 クリティカルパス情報
- 28 ダイナミック遅延シミュレーション
- 29 2入力AND-NOR回路
- 30 入力ピンI01
- 31 入力ピンI02
- 32 入力ピンI03
- 33 入力ピンO01
- 34 I01ピンの立ち下がり
- 35 O01ピンの立ち上がり

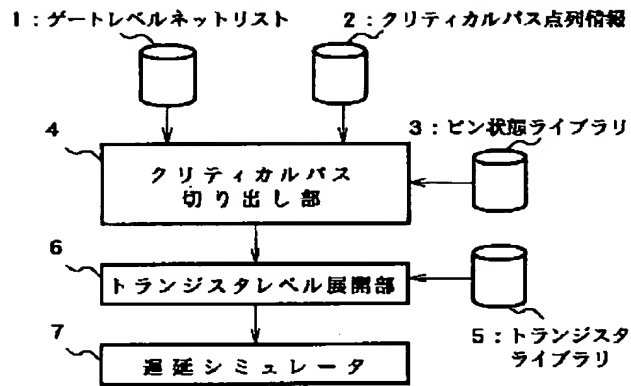
【図8】



【図9】



【図1】



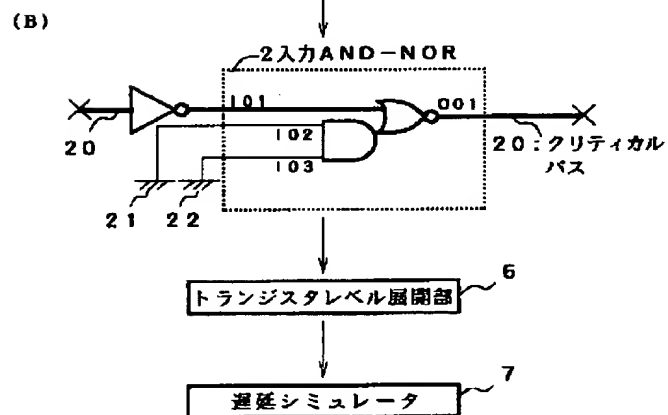
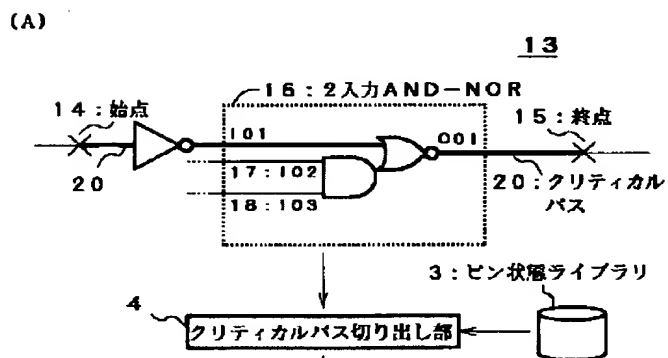
【図2】

101 (fall) → 001 (rise) ~8

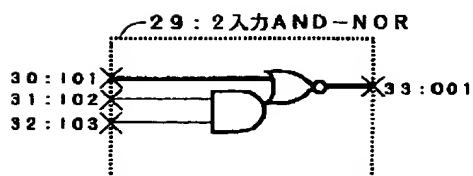
102	103	遅延値
1	0	1.5
0	1	1.7
0	0	2.0

←13

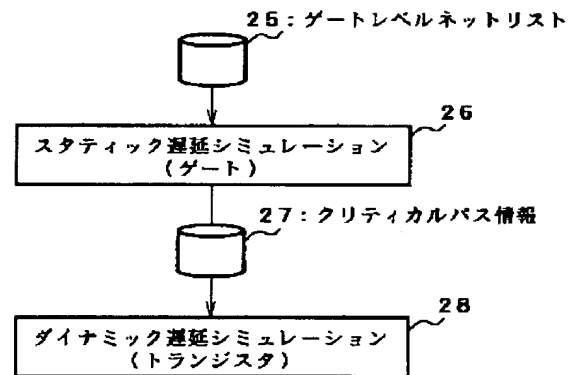
【図3】



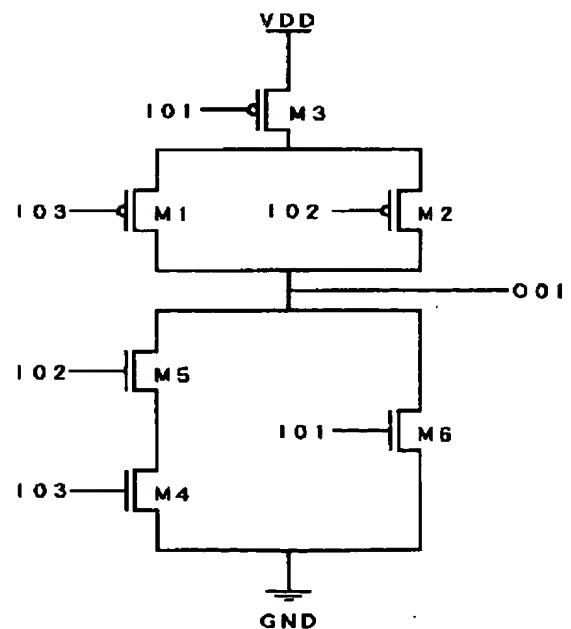
【図5】



【図4】



【図6】



【 図 7 】

I 0 1	I 0 2	I 0 3	O 0 1
<div><div>F</div><div>F</div><div>F</div></div>	<div><div>1</div><div>0</div><div>0</div></div>	<div><div>0</div><div>1</div><div>0</div></div>	<div><div>R</div><div>R</div><div>R</div></div>
0	1	F	R
0	F	1	R
0	1	R	F
0	R	1	F
R	0	0	F
R	1	0	F
R	0	1	F

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**